

基于复杂可编程逻辑器件的数字频率计设计 Design of Digital Cymometer Based on Complex Programmable Logic Device

潘 明
Pan Ming

(桂林电子工业学院计算机系 桂林 541004)
(Department of Computer, Guilin Institute
of Electronic Technology, Guilin, 541004)

摘要 选用在系统可编程大规模集成 ispLSI1032-70PLCC84 芯片作硬件电路,以 Lattice Expert 7.1 作 EDA 设计工具,设计一种新型数字频率计,该频率计采用 ABEL-HDL 对其中的各部分元器件进行编程,实现了闸门控制电路、计数电路、多路选择电路、位选电路、段选电路等。频率计的测频范围:1Hz~70MHz。该设计方案通过了软件仿真、硬件调试和软硬件综合测试。

关键词 数字频率计 复杂可编程逻辑器件 硬件描述语言

中图分类号 TM935.133

6

Abstract Lattice Expert 7.1 is used successfully to make a new-type digital cymometer with a Complex Programmable Logic Device (CPLD) used as virtual kernel of the cymometer, and a large programmable logic device (ispLSI1032E) used as hardware circuit. The one chip includes strobe control circuit, count circuit, multi-choice circuit, bit-choice circuit, segment-choice circuit which are designed by ABEL-HDL. The frequency is designed from 1 Hz to 70 MHz. The whole system passes the debugging in software simulation, software and hardware parts.

Key words digital cymometer, complex programmable logic device, hardware description language

设计频率计的方法多种多样,可以采用专用集成芯片,也可以用单片机或者采用通用集成电路制作的。而在未来的数字系统设计中将大多趋向于使用大规模可编程逻辑器件 CPLD/FPGA^[1~3]。其中在系统可编程逻辑器件(In System Programmable Logic Device,简称 ISP)^[4]具有灵活的系统设计能力,特别适合于复杂电路的开发应用。

可编程逻辑器件 PLD(Programmable Logic Device)汇集了超大规模集成电路的众多优点,从而改变了传统设计的实现方法,设计者可随心所欲地用 PLD 完成各种规模系统的设计,准确实现系统各项功能的要求。同时 PLD 又使 PCB 单位面积内具有高密度的逻辑功能,系统结构简单灵活,费用低,系统可靠性明显提高,因而在智能仪表、计算机和各种数字系统中得到广泛应用。而其中美国晶格半导体(Lattice)公司首先推出的 ISP 具有非常灵活的系统设计能力,是一种高密度 PLD 器件,具有先装配后编程的特性。ISP 消除了传统 PLD 的某些限制和连接弊病,有利于在板和系统级设计、制造和编程。ISP 硬件灵活且易于软件修改。本文选用 ISP 芯片作数字系统开发实验,用 CPLD 设计数字系统实际硬件电路,现介绍如下。

1 频率计的系统结构^[5]

频率计主要可分为 4 个部分:控制器、计数器、分频器、译码扫描显示电路。频率计用标准晶振产生闸门控制时间,在闸门选通时间内对输入脉冲进行计数,可以通过按键设置闸门时间。然后对所测量的数值进行译码使之在数码管上显示出来。频率计的原理结构如图 1 所示。

被测信号可以是正弦波、方波、三角波或脉冲波。为适应计数器输入波形的要求,在进入计数器之前要通过放大整形电路使波形和幅值标准化,形成标准的窄脉冲序列。

主门实际上是一个高速开关,在固定的时间间隔内接通,允许整形后的被测脉冲进入计数器,其余的时间则切断。这个固定的时间间隔称为闸门时间,它由石英晶体振荡器、分频器、闸门时间选择电路等部件决定的,例如石英晶体振荡器产生频率为 1MHz(周期为 $1\mu\text{s}$)的频标信号,经过 10:1 分频器以后降低为 100KHz(周期为 $10\mu\text{s}$)的频标信号,再经过 10:1 分频器变为 10KHz(周期为 0.1ms)的频标信号,依次类推可得到频率为 1KHz、100Hz 等频标信号。这几种频标信号经闸门时间选择电路,任选一种送入门控电路。经过门控电路后,变换成脉冲宽度等于频标信号周期的时基信号(闸门时间)。门控电路一般由双稳态触发器组成,处于计数工作状态,第一个频标脉冲的负跳变使该触发器翻转,第二个脉冲的负跳变又使它翻回。所得到的时基信号去控制主门的通或断。在负脉冲的前沿出现时,主门被接通,整形后的被测脉冲通过主门进入计数器;负脉冲的后沿出现时,主门断开,阻止脉冲进入计数器。计数器所得的脉冲与闸门时间之比就是被测信号的频率。闸门时间一般取 $1 \times 10^{(\pm n)}\text{s}$,例如 10s, 1s, 10ms 等等。测量结果可从数码管上直接读取。

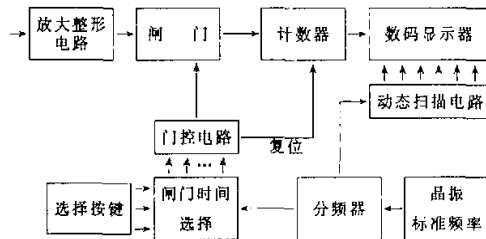


图1 频率计原理结构图

2 周期测量原理

周期测量单元的方框图如图 2 所示。工作情况刚好与测量频率相反,用被测信号控制门控电路,用晶体产生的时标信号通过主门送入计数器计数。如果被测信号周期为 T_x ,“周期倍乘”置于 1(即 10ⁿ:1 分频器 $n=1$),则主门开启的时间间隔就是 T_x 。当时标选择取得的 $t_0=1\text{ms}$,计数器测得的脉冲数为 N ,那么被测信号的周期就等于 $N\text{ms}$ 。若“周期倍乘”置于 10 ($n=$

1), 则计数时间为原来的 10 倍, 被测信号的周期为计数器测得的脉冲数 N 的 $1/10$ 。晶体振荡器产生较高标准频率, 经分频器后可获得各种时基脉冲 (1ms, 10ms, 0.1s, 1s 等), 时基信号的选择有开关。

8 位数字频率计其测试频率范围为 $0 \sim 100\text{MHz}$, 要实现测试频率的功能就先要对外界来的信号源的方波信号 1s 内脉冲个数进行计数, 即进行加法计算, 最后再由 8 位数码管显示出这一频率的数值, 从而实现频率计的功能。其中对待测信号脉冲的计数功能部分、数码管的段选功能部分, 以及对 8 位数码管循环扫描显示的位选功能部分均由软件部分实现, 而显示电路及振荡电路是属于硬件部分完成。

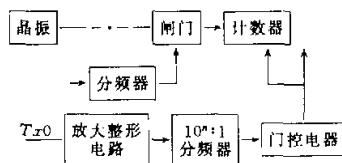


图2 周期测量框图

3 频率计各组成部分的设计与实现

3.1 闸门控制电路

控制闸门为一个分频器, 当其输出为高电平, 则允许计数; 输出为低电平时禁止计数, 其溢出时产生计数器清零信号。因此分频器的输出端的作用是控制闸门的使能控制端 EN, 而分频器的溢出端 Cy 作为计数器的 CLR 端进行清零。

闸门电路的 ABEL 语言实现:

```
MODULE FRE
TITLE ' 闸门控制电路 '
CLK PIN;
EN,CLR PIN ISTYPE'COM';
Q0,Q1 NODE ISTYPE'REG';
COUNT=[Q1,Q0];
EQUATIONS
COUNT.CLK=CLK;
COUNT:=(COUNT.FB+1);
EN=Q1&Q0;
CLR=Q1&!Q0;
END
```

3.2 分频器的 ABEL 语言实现

```
MODULE CONT2
TITLE'分频器'
CLK PIN;
CY1,CY2 PIN ISTYPE'COM';
Q0..Q22 NODE ISTYPE'REG';
COUNT=[Q22..Q0];
EQUATIONS
COUNT.CLK=CLK;
WHEN(COUNT==^d4194304)
```

```

THEN COUNT:=0;
ELSE COUNT:=(COUNT.FB+1);
CY1=Q16;
CY2=(COUNT==^d4194304);
END

```

3.3 计数电路

8位数字频率计,设计为8个模10的计数器串联,其第一级计数器的时钟输入与待测信号相连。在8个计数器中,除第一个计数器的时钟输入CLK端接待测信号外,其余的7个计数器的时钟输入CLK端均接下一级的进位输出信号CY。即个位计数器的进位CY接十位输入端CLK,十位计数器的进位Cy输出接百位计数器的时钟输入CLK,依次类推。因最后一位 10^8 位计数器的进位CY。各功能模文件块通过编译后,生成的元件符号保存到元件表中,可以在以后的设计中调用。

用ABEL语言设计的计数器如下:

```

MODULE CONT10
CLK,EN,CLR      PIN;
Q0,Q1,Q2,Q3     PIN ISTYPE'REG';
CY              PIN;
COUNT=[Q3..Q0];
EQUATIONS
COUNT.CLK=CLK;
COUNT.AR=CLR;
WHEN((COUNT==^H9)&EN)THEN COUNT:=0;
ELSE WHEN(!EN)
THEN COUNT:=COUNT.FB;
ELSE WHEN (EN)
THEN COUNT:=COUNT.FB+1;
CY=(COUNT==^H9)&EN;
END

```

3.4 扫描显示电路

采用八选一的多路选择电路。将8个计数器的计数值通过4个多路选择电路送BCD七段译码器译码后,送数码管扫描显示。这样减少I/O引脚的使用,节约系统资源,较巧妙地实现了动态扫描显示的功能。

扫描显示每位数码管的时间间隔设定为 $1/1024s$ (1024Hz),而人的肉眼视觉总是会有短暂的滞留期(约为 $1/25s$),所以看起来8位数码管是在同时显示。设计中调用了系统软件中标准器件——八选一多路选择电路模块MVX8。

3.5 段选电路

计数器输出的为8421BCD码,需要通过译码电路接到七段LED数码管上才能显示。设计
(下转第251页)

操作系统:中文 Windows 95/98/2000/ME 操作系统。

3.2 测试结果

在30台不同硬件配置(均达到以上最低要求)的PC机环境下,分别在中文 Windows 95/98/2000/ME 不同操作系统下进行测试,均能正常运行。

(责任编辑:邓大玉)

(上接第247页)

中的计数器为4位的十进制计数器,所以在计数过程中有0~9这10个数字需要显示,对该译码器的设计可以用ABEL语言来实现。其元件符号可以利用图形编辑器中的命令实现,通过编译后,该文件生成的元件保存到元件表中,将在以后系统设计时调用。

4 结束语

设计中选用在系统可编程大规模集成 ispLSI1032-70PLCC84芯片作数字系统开发试验。以 Lattice Expert7.1系统设计软件作为EDA设计工具。用CPLD设计数字系统实际硬件电路,并采用ABEL_HDL,对其中的各部分元器件进行设计。实现了闸门控制电路、计数电路、门控选择电路、动态扫描电路等。该方案通过了软件仿真、硬件调试以及软硬件部分的综合调试。所设计的频率计的测频范围为:1Hz~70MHz。

参考文献

- 1 潘松,王国栋著.VHDL实用教程.成都:电子科技大学出版社,2000.1~3.
- 2 李广军,孟宪元著.可编程ASIC设计及应用.成都:电子科技大学出版社,2000.1~3.
- 3 宋万杰,罗丰,吴顺君编著.CPLD原理及其应用.西安:西安电子科技大学出版社,1999.1~3.
- 4 [Http://www.lattice.com.cn](http://www.lattice.com.cn). Lattice Digital Library,1999.
- 5 杨晖,张凤言编著.大规模可编程逻辑器件与数字系统设计.北京:北京航空航天大学出版社,1999.156.

(责任编辑:黎贞崇)