

FPGA 在频率合成器中的应用

Application of FPGA in Direct Digital Synthesizer

潘 明

Pan Ming

(桂林电子工业学院计算机系 桂林 541004)

(Dept. of Computer, Guilin Institute of Electronic Technology, Guilin, 541004)

摘要 采用现场可编程门阵列 (FPGA) 基于小数分频器的原理, 实现直接数字式频率合成器 (DDS)。给出频率合成器的结构和实现方法, 推导出输出频率与基准频率之间具有线性函数的关系。这种频率合成器具有高的频率稳定度、准确度和分辨力, 通过单片机可以设置和显示所需的输出频率, 使用非常方便。

关键词 现场可编程门阵列 直接数字式频率合成器 单片机

中图法分类号 TP332

Abstract The realization of direct digital synthesizer (DDS) by FPGA based on the principle of fraction division is introduced. It's principle, structure and realization method are also given. Then the linear function relationship between output frequency and reference frequency is deduced. The DDS is high frequency stability, accuracy and resolution that can easy to preset and display the output frequency by single chip computer easily.

Key words FPGA, direct digital synthesizer, single chip computer

直接数字式频率合成器 (Direct Digital Synthesizer, DDS) 与传统的频率合成器相比, 具有低成本、低功耗、高分辨率和快速转换时间等优点, 广泛使用在电信与电子仪器领域, 是实现设备全数字化的一个关键技术。DDS 技术是一种把一系列数字量形式的信号通过 DAC 转换成模拟量形式的信号的合成技术。DDS 在相对带宽、频率转换时间、相位连续性、正交输出、高分辨力以及集成化等一系列性能指标方面远远超过了传统频率合成技术所能达到的水平, 为系统提供了优于模拟信号源的性能。

本文采用现场可编程门阵列 (FPGA) 基于小数分频器的原理实现 DDS 频率合成器, 给出频率合成器的结构和实现方法, 推导出输出频率与基准频率之间具有线性函数的关系。

1 基于 FPGA 的 DDS 频率合成器工作原理及组成

DDS 频率合成器主要由 FPGA 核心控制部分、单片机控制显示部分和 D/A 转换器波形

输出部分组成。图 1 是基于 FPGA 的 DDS 的一个基本原理图。图 1 中的参考频率源为高稳定度的 50MHz 晶体振荡器,用于向 FPGA 中 DDS 各部件提供同步时钟。虚线框内部分由 FPGA 来完成,主要部件可分为:前置分频器、相位累加器、相位加法器、相位寄存器、地址计数器和输出波形 ROM 等。单片机完成人一机交互功能,通过键盘进行参数设置和频率显示。D/A 转换器和低通滤波器将波形 ROM 中输出的数字信号转变成相应的模拟电压。

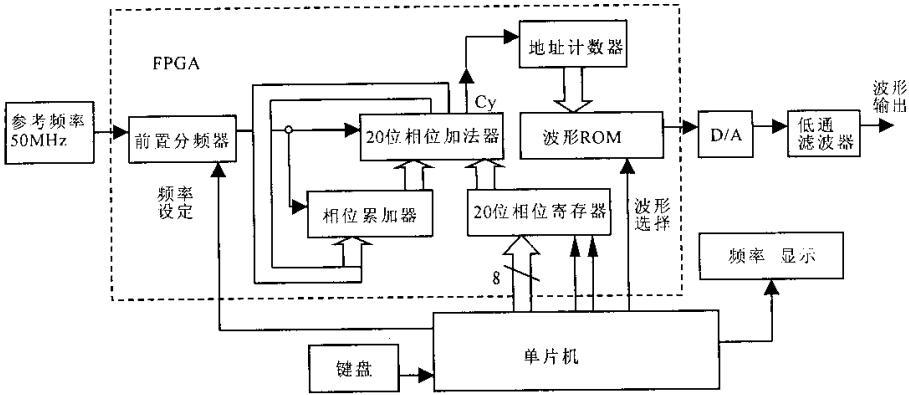


图 1 基于 FPGA 的 DDS 基本原理

参考输入频率信号经过前置分频器的输出信号,在相位累加器的控制下,通过脉冲删除控制电路送到地址计数器,地址计数器输出的数据作为取样地址,对正弦波波形存储器进行相位—幅值转换,即可在给定的时间上确定输出的波形数据。经过高速 D/A 转换器和低通滤波器输出模拟频率信号。

1.1 前置分频器

前置分频器是一个多模计数器,由可预置计数器和模式选择器组成,可以进行 1、10、100、1000、10000 等多种分频,通过选择端进行多种分频模式选择。多模计数器在预置初值的基础上进行加法计数,计数满产生溢出时可以通过溢出脉冲自动重装分频初值。预置初值存放在 FPGA 内 ROM 查找表当中,通过选择 ROM 查找表的地址,选择不同的预置分频初值,而分频模式的选择是由单片机控制的。分频后输出的脉冲信号作为 DDS 和相位累加器的输入脉冲。

1.2 相位累加器

相位累加器由 N 位加法器与 N 位累加寄存器级联构成。每来一个时钟脉冲,加法器将频率控制数据与累加寄存器输出的累加相位数据相加,把相加后的结果送至累加寄存器的数据输入端。累加寄存器将加法器在上一个时钟作用后所产生的新相位数据反馈到加法器的输入端,以使加法器在下一个时钟的作用下继续与频率控制数据相加。这样,相位累加器在参考时钟的作用下,进行线性相位累加,当相位累加器累加满时就会产生一次溢出,完成一个周期性的动作。这个周期就是 DDS 合成信号的一个频率周期。当相位加法器溢出时,溢出信号 Cy 将同时重装累加寄存器初值,加法器在此数值基础上与相位寄存器的值重新开始累加。图 2 是基于 FPGA 的 20 位相位加法器。由于设置了累加器工作初值,相位加法器的溢出信号 Cy 与相位寄存器初值的累加,已不再是二进制加法,而转变为十进制加法。这就给设定输出频率带来极大的方便。

1.3 相位寄存器

相位寄存器是一个 20 位的寄存器, 由 3 个 8 位的寄存器组成。单片机根据键盘设定频率的要求, 计算出相应的相位寄存器初值, 通过 8 位并行数据口和片选信号, 分别写入这 3 个寄存器中。

1.4 FPGA 中 ROM 初始化

FPGA 内部建立了嵌入式阵列块 (EAB), 利用 FPGA 内部的 EAB 资源可以方便地构成 ROM、RAM 和 FIFO 等结构^[1]。波形数据存放在 FPGA 内部 EAB 所构成的 ROM 数据表中, 图 3 中为由 64 点组成的正弦波波形数据。地址信号为 6 位、数据信息为 8 位, 表中的数据

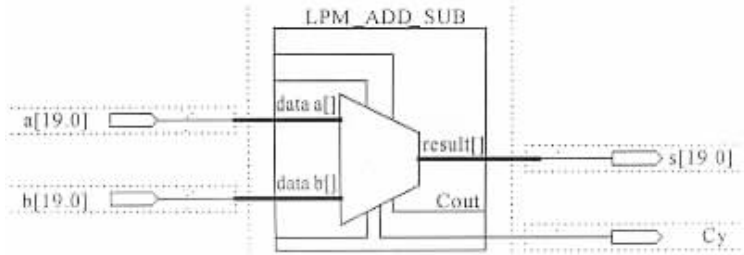


图 2 基于 FPGA 的相位加法器

Initialize Memory									
Memory Name: LPM_ROM:7:altrom:rom:content									
Address:	Value:								
00	80	8D	9A	A7	B4	C0	CB	D5	DF
09	E7	EF	F5	FA	FD	FF	FF	FF	FF
12	FD	FA	91	EF	E7	DF	05	CB	C0
1B	B4	A7	9A	8D	80	72	55	58	4C
24	40	34	2A	21	18	11	08	06	03
2D	01	00	00	00	00	01	03	06	0B
36	11	1B	21	2A	34	40	4C	58	65
3F	72								

图 3 正弦波波形数据

数据对应于正弦波各相位点的值。在对 FPGA 中 ROM 初始化时, 可以从相应文件中调入波形数据, 通过初始化存储, 完成波形数据的 ROM-Data 设置。波形数据可以根据输出信号频率所在频段, 选择每个波形周期所包含采样点的个数。高频段采样点可以少一些, 低频段采样点多一些。比如低频段每个周期存储 64 个采样点, 而高频段每个周期存储 16 个采样点。

1.5 相位-幅值转换

前置分频器的输出信号在相位累加器的控制下, 其溢出脉冲送到地址计数器, 地址计数器输出的数据作为取样地址, 对正弦波波形存储器进行相位-幅值转换, 即可在给定的时间上确定输出的波形幅值。

1.6 数模转换

DAC 将数字量形式的波形幅值转换成所要求合成频率的模拟量形式信号, 低通滤波器用于衰减和滤除不需要的取样分量, 以便输出频谱纯净的正弦波信号。

1.7 单片机控制显示

单片机的功能主要是通过键盘输入设定所需频率, 显示设置频率、计算和设置相位寄存器的初值、波形选择等功能。

2 小数分频器^[2]的应用

由于采用了相位累加器结构, 累加器的模为 P , 相位寄存器设定值为 $k (k < P)$, 每次累加的增量为 k/P , 即 k/P 为小数, 因此实现了小数分频。累加器为 20 位, 当相位加法器溢出时, 溢出脉冲 Cy 重装累加器初值, 这样就实现了十进制分频。输出正弦波频率与输入的基准信号频

率之间的函数关系为:

$$f_0 = \frac{f_r}{N} \frac{1}{M} \frac{k}{P}$$

其中, f_0 为频率合成器输出信号频率; f_r 为输入的基准信号频率, 采用 50 MHz 的有源晶振; N 为前置分频器的分频系数, 可以设定为: 1、10、100、1000、10000 等分频; M 为波形系数, 即每个输出波形中所包含的采样点数, 可以选择 (16、32、64); k 为相位寄存器设定值: 1 ~ 1000000; P 为相位累加器的模 (2^{20} - 累加器初值 = 1000000)。 f_r 和 P 是固定不变的, M 、 N 和 k 可以通过单片机进行设置。当 $k = 1$, M 、 N 取最大值, 输出信号频率为最小; 而当 k 为最大值, M 、 N 取最小值时, 输出信号频率为最大。输出最小频率为:

$$f_{\min} = \frac{f_r}{N} \frac{1}{M} \frac{k}{P} = \frac{50 \times 10^6}{10^4} \frac{1}{64} \frac{1}{10^6} = 7.8125 \times 10^{-5} \text{ Hz};$$

此时的步进频率为 $7.8125 \times 10^{-5} \text{ Hz}$ 。

输出最大频率为:

$$f_{\max} = \frac{f_r}{N} \frac{1}{M} \frac{k}{P} = \frac{50 \times 10^6}{1} \frac{1}{16} \frac{10^6}{10^6} = 3125000 \text{ Hz};$$

此时的步进频率为 $3125000/10^6 = 3.125 \text{ Hz}$ 。

应用举例: 设晶振频率 f_r 为 50 MHz, 要求输出正弦波信号, 步进频率为 $\Delta f = 1 \text{ Hz}$ 。取前置分频器 $N = 100$, 波形系数 $M = 64$ 。相位寄存器的设定值 k 应为整数。

$$k = \frac{NMP}{f_r} f_x = \frac{100 \times 64 \times 10^6}{50 \times 10^6} f_x = 128 f_x,$$

在此设定下, 输出频率范围为: $1 \text{ Hz} \sim P/128 = 10^6 \div 128 = 7812.5 \text{ Hz}$ 。若取 $\Delta k = 64$, 则步进频率为 0.5 Hz ; 若 $\Delta k = 1$, 则步进频率可达 $1/128 \text{ Hz}$ 。

3 结束语

通过以上设计分析可以看出, 相位寄存器的设定值 k 与输出频率 f_x 之间具有线性关系。通过单片机键盘预置输出频率, 单片机经过计算、设置相位寄存器初值, 用 FPGA 构成的 DDS 就能够输出所需频率。DDS 采用直接频率合成技术, 它会迅速合成所要求的频率信号, 在输出信号上没有叠加任何电流脉冲, 输出变化是一个平稳的过渡过程, 而且相位是连续变化的。DDS 在极宽的频带范围内输出幅度平坦的信号, 最低输出频率由时钟频率的最小分辨率或相位累加器的分辨率决定; 最高输出频率 f_{\max} 由 FPGA 频率合成器的输入时钟频率 f_c 决定 ($f_{\max} = f_c/2$)。

目前 FPGA 的最大时钟频率达 200 MHz 以上, 等效逻辑门已达数百万门, 内部资源丰富, 适合于设计各种复杂的数字系统。基于 FPGA 的 DDS 专用电路有望在雷达、通信、电子战和测量等领域的频率合成技术中得到推广应用。这不仅有利于推动频率合成技术的进步, 也将对 FPGA 技术的推广应用起到积极作用。

参考文献

- 1 潘松. EDA 技术实用教程. 北京: 科学出版社, 2002. 10.
- 2 庄卉. 锁相与频率合成技术. 北京: 气象出版社, 1996. 9.