

基于 FPGA 的动态局部可重构方法分析与比较*

Analyze and Compare the Methods of Dynamic Partial Reconfiguration Based on FPGAs

吴凤艳¹, 王 烈¹, 孙洪民²

WU Feng-yan¹, WANG Lie¹, SUN Hong-min²

(1. 广西大学计算机与电子信息学院, 广西南宁 530004; 2. 广西工业职业技术学院, 广西南宁 530001)

(1. School of Computer, Electronic and Information, Guangxi University, Nanning, Guangxi, 530004, China; 2. Guangxi Vocational & Technical Institute of Industry, Nanning, Guangxi, 530001, China)

摘要:介绍支持现场可编程逻辑器件(FPGA)重构的3种设计流程的设计步骤、优点和局限性,并总结每种方法的适用情况,为实际应用动态局部重构技术提供参考。

关键词:逻辑器件 重构 设计流程

中图分类号:TP302 **文献标识码:**A **文章编号:**1002-7378(2009)04-0340-03

Abstract: The paper introduced the concept of dynamic partial reconfiguration (DPR). The design flow, benefits and limitations of three main implemental methods which were provided by Xilinx were also discussed. The application of each method, in order to provide a reference for the practice of DPR was proposed.

Key words: logic device, reconfiguration, design flow

随着集成技术的发展,现场可编程逻辑器件(Field Programmable Gate Array, FPGA)从最初的单芯片几千门发展到现在的数百万门。但是,随着FPGA门电路总数增加,其内部布线的数目和复杂度随之增加,FPGA的损坏率也随之增加;与此相反,随着系统规模的增大,单芯片资源的利用率下降。为了解决这些问题,人们研究发现,对于时序逻辑系统而言,各个功能模块根据系统逻辑功能要求,是轮流工作的,在时间轴上是离散的,是可以重构的。因此产生了FPGA可重构的技术。FPGA重构技术可分为静态重构和动态重构两种。静态重构是在FPGA在外部逻辑的控制下,通过存储于存储器中不同的目标系统数据的重新下载,来实现芯片逻辑功能的改变。动态重构是在系统实时运行中对

FPGA芯片的全部或部分进行动态配置,实现逻辑资源的时分复用。动态可重构技术是崭新的数字系统设计理念,使系统设计从传统的追求大规模、高密度转向逻辑资源的时分复用。现在,动态可重构技术已在高速数字滤波器^[1,2]、图像处理^[3,4]、硬件算法设计^[5~7]、嵌入式系统^[8~11]等方面实现了初步应用。

动态可重构技术使得系统运行期间,随时可以通过对FPGA的重新配置来改变其逻辑功能,FPGA逻辑功能的改变在时间上保持动态连续,能够动态地改变数字逻辑系统的功能,而且并不影响系统的正常运行。按实现重构的面积不同划分^[12],动态可重构主要分为全局重构和局部重构。全局重构是对整个FPGA器件进行重构,局部重构是对FPGA器件选定的区域进行重构,其余部分仍正常工作。局部重构比全局重构更有速度优势,但是实现复杂,需特殊软件和硬件支持。目前市场上支持局部重构的器件主要是Xilinx公司生产的Virtex系列芯片。Xilinx公司为了支持动态局部重构技术提出了3种主要设计流程:基于模块的动态可重构,基

收稿日期:2009-10-13

作者简介:吴凤艳(1985-),女,硕士研究生,主要从事SOPC的动态重构技术研究。

* 广西科学基金项目(桂科自0728036)资助。

于差异的动态可重构,基于EAPR(Early Access Partial Reconfiguration)的动态可重构。本文介绍这3种设计流程的设计步骤、优点和局限性,并总结每种方法的适用情况,为实际应用该技术提供参考。

1 基于差别的动态可重构方法

基于差异的动态局部重构方法是比较简单的动态局部可重构方法,多用于两个设计之间差别很小的情况。基于差异的可重构有两种方法:前端改变和后端改变^[13]。前端改变是用硬件编程语言设计的改变,需要完全再次综合和实现以产生新的布局布线电路描述文件(NCD)。后端改变方法允许在原型流执行到实现阶段时直接改变NCD文件,不需要对原设计再综合。这两种方法都可以产生用于FPGA局部可重构的局部比特流。

基于差异的可重构方法,第1步用FPGA Editor工具实现小的设计改动,主要有改变设计查找表功能、改变存储器中的内容、改变I/O引脚的标准等;第2步用bitgen-r命令生成基于差异的局部可重构比特流;第3步使用比特流配置FPGA。

基于差异的可重构方法的配置速度快。因为该方法是通过设计中的小修改,只产生基于两个设计差异的比特流,基于差异的比特流规模比整个器件的比特流要小很多,因此可以很快实现改变模块的配置。但是基于差异的可重构方法缺少自动化,必须手工改动,在复杂的设计中,找到需要修改的器件有难度,因此,基于差异的可重构方法用于设计中的小的改动,不适于功能或结构上大范围的变化情况。

2 基于模块的动态可重构方法

基于模块的动态可重构方法是将系统按照一定规则划分成若干模块,然后对每个模块分别进行设计、综合,并将实现结果约束在预先设置好的区域内,最后将所有模块的实现结果有机地组织起来完成整个系统的设计。模块化设计的核心思想体现的是团队并行工作、协同设计^[14]。模块划分的基本原则是:子模块内部高耦合,模块之间低内聚,接口尽量简单。重构模块的高度总是器件的整个高度,宽度范围从最小的4 slice到最大的整个器件宽度,以4 slice为单位增加。重构模块宽度范围内的所有逻辑资源属于重构模块,而且重构模块的边界不能改变,重构模块和其他模块的通信必须通过总线宏。

基于模块的动态可重构方法的主要设计步骤:(1)设计实体。输入和综合硬件描述语言代码,包括

顶层模块和子模块的设计。(2)初始预算。对顶层模块完成顶层约束。顶层约束包括整个设计的全局区域约束、对每个子模块的规模和区域约束、每个子模块进行输入/输出约束、整个设计的时序约束等内容。(3)子模块的激活实现。对每个子模块进行激活实现,对每个子模块的内部逻辑进行单独约束。(4)模块的最后合并。将顶层设计和子模块的激活模式实现结果有机结合,形成一个完整的设计。(5)验证设计。包括静态时序分析和功能仿真。(6)产生整个设计的比特流。详见图1。

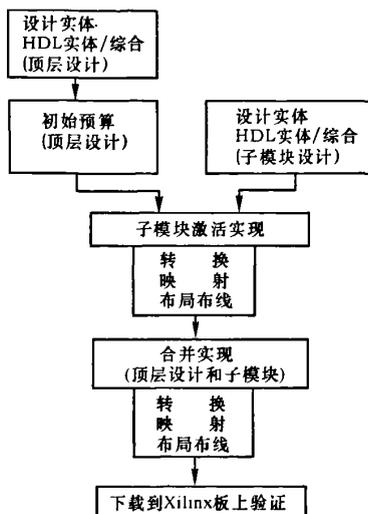


图1 模块化流程

基于模块的动态可重构方法适用于大规模复杂系统的设计,是目前进行动态局部重构最常用的方法,参考文献[15,16]中分别用此方法实现了不同的局部重构系统。但是,这种方法对重构区域有很严格的形状要求,模块的定义有时很难确定,模块间的通信要依赖于总线宏。

3 基于EAPR的动态可重构方法

基于EAPR的动态可重构方法是Xilinx公司2006年提出的一种最新的局部可重构设计流程^[17]。该方法与基于模块的局部可重构流程有些相似,但是EAPR与基于模块的可重构流程相比,又有以下几点差别:(1)去除了Virtex-II器件局部对于局部可重配置区域必须是整列的要求,现在EAPR设计流程中,允许局部重构区域为任意矩形区域。(2)EAPR流程中允许静态模块设计中的全局信号直接穿越局部可重配置区域,而不必使用总线宏。这极大提高了时序性能,并简化了建立局部重构设计的进程。(3)总线宏基于查找表来实现,而不是基于三态

缓存器,这就使得允许使用的总线的密度更密。(4)现在的 EAPR 设计流程及工具支持 Virtex-4 及 Virtex-5 器件。

基于 EAPR 的动态可重构方法的设计流程(图 2)是:(1)硬件描述语言设计和综合,主要包括以下 3 步:(a)顶层模块设计和综合。顶层模块描述必须只包括使用黑盒子实例化的 I/O、时钟缓存、静态模块、局部重构模块、总线宏以及信号声明。(b)静态模块的设计与综合。静态模块在动态可重构执行时不变的模块,因此这一步与传统硬件描述语言设计方法一样,但是静态模块不能包括任何时钟和复位逻辑,在综合时不加入 I/O 缓存。(c)每个可重配置子模块的设计和综合。每个局部重构子模块要保证没有时钟逻辑,并且具有相同的端口定义和实体名字。(2)设置约束。除了传统的 I/O 端口位置约束,还要对顶层的时钟缓存添加位置约束,对可重构区域添加面积约束还可以添加布局布线和时序约束,在可重构区域的边界添加总线宏的位置约束。(3)实现静态模块。实现静态模块产生的信息将用于可重构模块的实现阶段,所以必须首先完成静态模块的实现。实现静态模块包括 3 个步骤:转换,映射和布局布线。(4)实现每个可重配置模块。在静态模块实现之后,每个局部重构子模块必须分别进行实现。(5)比特流合并。局部重构设计流程的最后一步是合并顶层,静态模块和重构模块。在合并这一步中,从重构模块和静态模块中建立一个完整的设计。(6)下载比特流文件到开发板上运行验证。

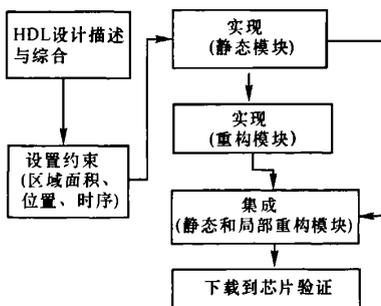


图2 EAPR 设计流程

Xilinx 公司的 EDK 工具和 PlanAhead 工具可以实现一些设计步骤的自动化^[20],从而大大简化设计流程。

4 结束语

基于模块化的动态可重构方法适用于电路功能比较复杂、差异文件庞大的情况。基于差异的动态可

重构方法适用于功能简单的电路,特别适合于单元结构的系统。基于 EAPR 的动态可重构方法设计自动化程度较高,有利于大型复杂系统的团队设计,是动态局部可重构技术发展的趋势。

国外动态可重构研究比较多,如自重构可适应 FIR 滤波器的设计^[18]和软件无线电设计^[19]等。国内动态可重构研究相对较少,目前动态局部可重构技术发展的水平远没有达到成熟的地步,但是动态局部可重构技术自身具有的优势使得这一领域成为 FPGA 研究的热点问题,相信未来此技术会有广阔的应用前景。

参考文献:

- [1] Wang H, Delahaye J P, Leray P. Managing dynamic reconfiguration on MIMO Decoder [C]. Parallel and Distributed Processing Symposium, IPDPS 2007 IEEE International, 2007; 1-8.
- [2] Claus C, Stechele W, Kovatsch M. A comparison of embedded reconfigurable video-processing architectures [C]. Field Programmable Logic and Applications, 2008 FPL, 2008; 587-590.
- [3] 李开宇, 张焕春, 经亚枝. 基于 FPGA 动态可重构的高速、高质量的图像放大[J]. 中国图象图形学报, 2005, 10(1): 69-74.
- [4] Tamara Snowden. VisiCom uses xilinx FPGAs for a reconfigurable image processing module [EB/OL]. (2000-03-20). <http://www.visicom.com/>.
- [5] Sriram Swaminathan, Russell Tessier, Dennis Goeckel, et al. A dynamically reconfigurable adaptive viterbi decoder; proceedings of the 2002 ACM/SIGDA 10th International Symposium on Field-Programmable Gate Arrays [C]. 2002; 227-236.
- [6] Luo Jianwen, Jong Ching Chuen. A system-on-chip dynamically reconfigurable FPGA platform for matrix inversion [C]. Integrated Circuits, 2007 ISIC apos, International Symposium on Volume, Issue, 2007; 465-468.
- [7] Andrey Filippov. Encoding high-resolution ogg/theora video with reconfigurable FPGAs [J]. Xcell Journal, Second Quarter, 2005, 53(2): 19-20.
- [8] Christian Fda Silva, Alice M. RECASTER synthesis of fault-tolerant embedded systems based on dynamically reconfigurable FPGAs [C]. Tokarnia Proceedings of the 18th International Parallel and Distributed Processing Symposium, 2004.

- networks: a survey [J]. *Computer Networks*, 2005, 47 (4):445-487.
- [2] Mueller S, Tsang R P, Ghosal D. Multipath routing in mobile Ad hoc networks: issues and challenges [J]. *Lecture Notes in Computer Science*, 2004, 2965 (4): 209-234.
- [3] Lee S J, Gerla M. Split multipath routing with maximally disjoint paths in Ad hoc networks [C]. *ICC'01*, 2001, 10(7):3201-3205.
- [4] Broch J, Johnson D, Maltz D. The dynamic source routing protocol for mobile Ad hoc networks [EB/OL]. [2009-08-25]. <http://www.ietf.org/internet-draft/draft-ietf-manet-dsr-01.txt>, 2000211.
- [5] Li X F, Laurie C. On-demand node-disjoint multipath routing in wireless ad hoc networks [C]. In 29th Annual IEEE International Conference on Local Computer Networks, 2004:419-420.
- [6] Perkins C, Belding-Royer E, Das S. Ad hoc on-demand distance vector (AODV) routing [C]. RFC 3561, 2003.
- [7] Wang L, Zhang L F, Shu Y T, et al. Adaptive multipath routing in wireless Ad hoc networks [C]. *ICC'01*, 2001, 3(6):867-871.
- [8] Marina M K, Das S R. On-demand multipath distance vector routing in Ad hoc networks [C]. *Network Protocols Ninth International Conference on ICNP*, 2001:14-23.
- [9] Lee S J, Gerla M. Aodv-BR; backup routing in Ad hoc networks [J]. *Wireless Communications and Networking Conference*, 2000, 3:1311-1316.
- [10] Nasipuri A, Das S R. On-demand multi-path routing for mobile Ad hoc networks [C]. *IEEE ICCCN'99*, 1999:64-70.
- [11] Pearlman M R, Haas Z J, Shilander P, et al. On the impact of alternate path routing for load balancing in mobile Ad hoc networks [J]. *ACM MobiHoc*, 2000, 8: 3-10.

(责任编辑:邓大玉)

(上接第342页)

- [9] Jim Torresen. Reconfigurable logic applied for designing adaptive hardware systems [C]. *International Conference on Advances in Infrastructure for Electronic Business, Education, Science, and Medicine on the Internet (SSGRR 2002W)*, 2002.
- [10] Haoyu Song, John W Lockwood. Efficient Packet Classification for Network Intrusion Detection Using FPGA; proceedings International Symposium on Field Programmable Gate Arrays (FPGA) [C]. 2005: 238-245.
- [11] Goossens K, Bennebroek M, Jae Young Hur. Networks on chip in FPGAs to unify functional and configuration interconnects [C]. *Networks-on-Chip*, 2008. NoCS 2008. Second ACM/IEEE International Symposium, 2008:45-54.
- [12] 黄俊, 朱明程. 局部动态重构在 SOPC 中的应用 [J]. *深圳大学学报:理工版*, 2006, 23(4):351-355.
- [13] Xilinx, Inc. XAPP290: Two flows for partial reconfiguration; module based or difference based [EB/OL]. (2004-09-09). <http://www.xilinx.com>, 2004.
- [14] 王诚, 薛小刚, 钟信潮. FPGA/CPLD 设计工具—Xilinx ISE 使用详解 [M]. 北京:人民邮电出版社, 2005.
- [15] 周盛雨, 孙辉先, 陈晓敏, 等. 基于模块化设计方法实现 FPGA 动态部分重构 [J]. *微计算机信息(嵌入式与SOC)*, 2008, 24(2-2):164-166.
- [16] 许骏, 晏渭川, 彭澄廉. 基于模块的动态可重构系统设计 [J]. *计算机工程与设计*, 2008, 29(6):1367-1383.
- [17] Xilinx Inc. UG208: Early Access partial reconfiguration user Guide [E/OL]. (2006-03-16). <http://www.xilinx.com>, 2006.
- [18] Chang-Seok Choi, Hanho Lee. A Self-Reconfigurable adaptive FIR filter system on partial reconfiguration platform [J]. *IEEE Trans Inf. & Syst*, 2006, 90(12): 1932-1938.
- [19] Nezami K G, Stephens P W, Walker S D. Handel-C Implementation of early-access partial-reconfiguration for software defined radio [J]. *Wireless Communications and Networking Conference (WCNC)*, 2008:1103-1108.
- [20] Xilinx Inc. Partial reconfiguration design with plan ahead [E/OL]. (2007-12-05). <http://www.xilinx.com>, 2008.

(责任编辑:邓大玉)